

日本国特許庁
JAPAN PATENT OFFICE

06.09.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 9月 4日
Date of Application:

出願番号 特願2003-313111
Application Number:
[ST. 10/C]: [JP2003-313111]

RECEIVED
21 OCT 2004
WIPO PCT

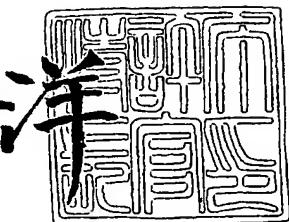
出願人 松下電器産業株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月 7日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 2033750030
【提出日】 平成15年 9月 4日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 北畠 真
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 楠本 修
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 内田 正雄
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 高橋 邦方
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 山下 賢哉
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【書類名】特許請求の範囲**【請求項1】**

基材と、
上記基材上に互いに積層されて搭載された、大きさまたは機能が異なる複数の半導体素子を備え、
上記複数の半導体素子のうち少なくとも1つの半導体素子は、ワイドバンドギャップ半導体を用いて構成されている、半導体モジュール。

【請求項2】

請求項1記載の半導体モジュールにおいて、
上記少なくとも1つの半導体素子は、 $50\text{ A}/\text{cm}^2$ 以上の電流密度の電流が流れる領域を有している、半導体モジュール。

【請求項3】

請求項1又は2記載の半導体モジュールにおいて、
上記複数の半導体素子は、上記基材に近い側の第1の半導体素子と、上記第1の半導体素子の上で上記基材よりも遠い側に積層された第2の半導体素子とを有していて、
上記第1の半導体素子よりも第2の半導体素子の方が大きい、半導体モジュール。

【請求項4】

請求項1～3のうちいずれか1つに記載の半導体モジュールにおいて、
上記複数の半導体素子は、3層以上に積層されている、半導体モジュール。

【請求項5】

請求項1～4のうちいずれか1つに記載の半導体モジュールにおいて、
上記少なくとも1つの半導体素子は、縦型素子である、半導体モジュール。

【請求項6】

請求項1～5のうちいずれか1つに記載の半導体モジュールにおいて、
上記ワイドバンドギャップ半導体は、炭化珪素である、半導体モジュール。

【書類名】明細書

【発明の名称】半導体モジュール

【技術分野】

【0001】

本発明は、炭化珪素（SiC），GaN，ダイヤモンド等のワイドバンドギャップ半導体により構成される半導体素子を備えた半導体モジュールに関する。

【背景技術】

【0002】

従来より、半導体素子（パワー素子）を組み込んでなる半導体モジュール（パワーモジュール）においては、半導体素子（パワー素子）の電力損失によって生じる半導体素子の発熱を発散させることが重要な課題である。そこで、従来の半導体モジュールにおいては半導体素子を冷却して安全動作温度以下に保持すべく、半導体素子をパッケージ基材に接触させて、半導体素子で発生した熱が熱伝導によってパッケージ基材に逃れるように、接觸させていた。従って、複数の半導体素子（パワー素子）を用いて半導体モジュールを設計されていた。従って、複数の半導体素子（パワー素子）を用いて半導体モジュールを構成する場合には、上述のように、各半導体素子をパッケージ基材に接觸させる必要があった。

【0003】

図5は、3つのSiパワー素子を組み込んでなる従来の半導体モジュール（パワーモジュール）の構造を示す断面図である。同図に示すように、従来の半導体モジュールは、裏面に熱放出のためのフィン101aが付設された基材101と、基材101の上面に半田付けによって固定された3つのSiパワー素子102，103，104と、各Siパワー素子102，103，104間を電気的に接続するボンディングワイヤ105とを備えている。この構造により、各Siパワー素子102，103，104で発生した熱を熱伝導する。この構造により、各Siパワー素子102，103，104により効率よく基材101に放散させることができるため、Siパワー素子102，103，104の温度を、その温度保証範囲である150°C以下に抑制することができる。

【特許文献1】パワーエレクトロニクスハンドブック（R&Dプランニング）監修：今井孝二（602頁）

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来の半導体モジュールにおいては、半導体モジュールを構成している複数のSiパワー素子102，103，104をそれぞれ基材101上に搭載するためには、少なくともSiパワー素子102，103，104の各面積を加算した面積以上に基材101が必要である。その結果、比較的大きな電流を扱う半導体モジュールのパッケージの面積は、大きなものにならざるを得ない。

【0005】

特に、従来のSiパワー素子がMOSFET，IGBT，ダイオードなどである場合には、Siの熱伝導率が1.5W/cmK程度であることを考慮して、動作時にSiパワー素子を流れる電流によって発生する熱を効率的に逃がし、Siパワー素子の中でも最も電流密度が高い部分での温度が150°Cを超えないように設計される。Siパワー素子は、150°Cを越える温度になると熱暴走してショート状態となり電流制御素子として機能しなくなる。例えば、動作時の半導体パワー素子の内部の電流密度が10A/cm²以上の場合は、半導体素子内部で発生する熱を逃す工夫が必要となる。特に、半導体素子の内部では、半導体素子内部で発生する熱が顕著になる電流密度が50A/cm²以上の場合には、半導体素子の内部で発生する熱が顕著になるので、熱を放出するための設計には相当の工夫を要する。

【0006】

上述のように、半導体モジュールの設計においては、熱の放出が重要となるので、Siパワー素子は、熱放出バスとなる基材に確実に接觸するように設計されており、ダイボンドと呼ばれる方法で半田などにより基材に直接接合されている。その結果、半導体モジュールの面積は大きくならざるを得なかつた。

【0007】

また、広い面積を有する基材上に並べられた複数の半導体素子同士を電気的に接続するため、長いボンディングワイヤが必要となるので、長いワイヤの電気抵抗がさらに半導体モジュールの電気抵抗による電力損失を増大させてしまうという不具合もあった。

【0008】

本発明の目的は、占有面積が小さいながら大電流の制御が可能で、低損失のワイドバンドギャップ半導体素子を用いた半導体モジュールを提供することにある。

【課題を解決するための手段】**【0009】**

本発明の半導体モジュールは、基材上に互いに積層されて搭載された複数の半導体素子を備えており、そのうち少なくとも1つの半導体素子は、ワイドバンドギャップ半導体を用いて構成されている。

【0010】

これにより、ワイドバンドギャップ半導体の低損失性と高い放熱性を利用して、例えれば電流密度が $50\text{ A}/\text{cm}^2$ 以上の大電流を流す半導体パワー素子を有するパワーモジュールに適した、小型の半導体モジュールが得られる。

【0011】

基材に近い側の第1の半導体素子よりも基材よりも遠い側に積層された第2の半導体素子の方が大きいことにより、第2の半導体素子の動作時の温度を高くして、かえって動作効率を高めることも可能である。

【0012】

少なくとも1つの半導体素子は、縦型素子であることにより、積層構造に適したパワーモジュールが得られる。

【発明の効果】**【0013】**

本発明の半導体モジュールによると、低損失で小型の半導体モジュールを提供することができる。

【発明を実施するための最良の形態】**【0014】**

図1は、本発明の実施形態に係る半導体モジュール（パワーモジュール）の構成を示す断面図である。

【0015】

本発明の半導体モジュール（半導体パワーモジュール）は、図1に示すように、Cu等の金属材料からなる基材11と、基材11の上に積層された、大きさまたは機能の異なる半導体素子12, 13, 15（例えば、トランジスタ、ダイオード、IGBT等）を備えている。この半導体パワーモジュールの特徴は、半導体素子12, 13, 15等を備えている。この半導体パワーモジュールの特徴は、半導体素子12, 13, 15等が積層されていること、及び、複数の半導体素子が積層されて、各半導体素子12, 13, 15が積層されていること、及び、複数の半導体素子12, 13, 15のうち少なくとも1つの半導体素子がワイドバンドギャップ半導体を用いて構成されている半導体パワー素子であることが特徴である。

【0016】

本実施形態の半導体パワーモジュールによると、従来のSiパワー素子を備えた半導体パワーモジュールとは異なり、ワイドバンドギャップ半導体を用いた少なくとも1つの半導体パワー素子を含む複数の半導体素子を備え、半導体素子同士を積層する構造を有する導体パワー素子を実現することができる。

【0017】

ここで、本明細書中においていう「ワイドバンドギャップ半導体」とは、伝導帯の下端と価電子帯の上端とのエネルギー差であるバンドギャップが 2.0 eV 以上である半導体のことである。そのようなワイドバンドギャップ半導体としては、炭化珪素（SiC）

)、 GAN 、 AlN 等のIII族窒化物、ダイヤモンド等が挙げられる。

【0018】

本発明の半導体パワーモジュールにおいて、半導体素子としては周知のものを特に制限なく用いることができ、例えば、ショットキーダイオード、 $p-n$ ダイオード、MISFET、MESFET、J-FET、サイリスタ等が挙げられる。また、複数の半導体素子の T 、 $MESFET$ 、 $J-FET$ 、サイリスタ等が挙げられる。1つが容量素子、誘導素子、抵抗素子などの受動素子であってもよい。

【0019】

半導体素子同士の接合方法には、金属同士の相互拡散を利用した直接接合、半田による接合、バンプによる接合、導電性接着剤を利用した接合などがあり、いずれを用いてもよいものとする。

【0020】

さらに、パッケージとして周知のものを特に制限なく用いることができ、例えば、樹脂封止パッケージ、セラミックパッケージ、金属パッケージ、ガラスパッケージ等が挙げられる。いずれの場合にも、基材としては、比較的熱伝導性の高い金属（たとえばCu）からなるものが一般的に用いられている。

【0021】

一般に、ワイドバンドギャップ半導体の熱伝導率は、 Si に比べて数倍以上の値を示し、炭化珪素（ SiC ）では 4.9 W/cmK 、ダイヤモンドでは 20 W/cmK である。このような高い熱伝導率を有していることから、ワイドバンドギャップ半導体を用いた半導体パワー素子を備えた半導体パワーモジュールにおいては、半導体パワー素子で発生した熱の放出効率が比較的高いので、半導体パワー素子内の高電流密度部分における温度の上昇も比較的低く抑制することができる。つまり、図1に示すように、半導体素子12、13、15同士を積層することにより、小面積の半導体パワーモジュール中に高密度に半導体素子12、13、15を配置した場合でも、半導体パワー素子で発生した熱が効率的に基材11に放出されるので、半導体パワー素子の高電流密度部分（例えば、パワートランジスタのソース領域）における温度を比較的低温に保つことができる。

【0022】

また、耐圧が同程度の 1 kV であるMISFET同士で比較すると、ワイドバンドギャップ半導体を用いた半導体パワー素子は、 Si パワー素子に比べて1桁以上小さい電力損失を示す。SiのIGBTとワイドバンドギャップ半導体のMISFETで比較しても、ワイドバンドギャップ半導体を用いた半導体パワー素子は、 Si パワー素子に比べて半分以下の電力損失を示す。このようなワイドバンドギャップ半導体を用いた半導体パワー素子の低損失性により、本発明の半導体パワーモジュールにおいては、半導体パワー素子内で発生する熱自体も小さいので、従来の Si パワー素子を用いた半導体パワーモジュールに比べ、内部の温度上昇を抑制するためには、さらに有利になる。

【0023】

さらに、ワイドバンドギャップ半導体を用いたMISFETは、 Si を用いたIGBTを凌駕するほどの高耐圧、低損失性を達成することができるため、MISFETの高速動作性を高電圧・大電流の信号を制御するのに活かすことができる。つまり、半導体パワー素子の動作速度が、（除去）遅い場合に生ずるスイッチング損失を低減することができる。

。

【0024】

特に、半導体パワーモジュールにおいて、複数の半導体素子のうち少なくとも1つの半導体素子に、 50 A/cm^2 以上の電流密度の電流が流れる場合に、本発明の効果が顕著に得られる。その理由は、半導体素子内において 50 A/cm^2 以上の電流密度が生じるような動作がある場合、 Si パワー素子（例えばMISFET）においては、電力損失に応じた発熱量が大きくなるので、 Si パワー素子の正常な動作を確保するために必要な温度 150°C 以下という制限内で動作を続けることが難しい。それに対し、本発明の半導体パワーモジュールにおいては、 50 A/cm^2 以上の電流密度に対しても発熱量が抑制されるので、良好に動作することができる。

【0025】

さらに、ワイドバンドギャップ半導体（例えばSiC）を用いた半導体パワー素子は、発熱により半導体パワー素子の温度が200°C以上（さらに400°C以上）に上昇しても、半導体パワーモジュールは良好に動作することができる。むしろ、温度の上昇につれて、半導体パワー素子の電気抵抗が減少する性質を示すことから、電流密度50A/cm²以上で動作して高温に保持されている場合の方が、低温に保持されている場合よりも電気抵抗が低下して、より高効率の動作が可能であることが確認された。

【0026】

すなわち、本発明の半導体パワーモジュールは、少なくとも1つのワイドバンドギャップ半導体を用いた半導体パワー素子を含む複数の半導体素子を積層して用いることにより、図5に示すような半導体素子同士を積層していない従来構造のものに比べ、内部温度がより高くなることによって、かえって動作効率が高くなるという効果を示している。

【0027】

さらに、図1に示すように、少なくとも、半導体モジュールの基材11に対して接触している第1の半導体素子12よりも、第1の半導体素子12の上に積層されている第2の半導体素子13の方が大きいことが好ましい。その理由は、基材11への熱放出の経路である第1の半導体素子12の方が小さい場合、第2の半導体素子13から基材11への熱の放出量が小さくなるので、第2の半導体素子13はより高温で動作して、上述のような低損失動作による動作効率の向上効果が得られるからである。

【0028】

また、複数の半導体素子12, 13, 15が3層以上に積層されていることが好ましい。上述のように、3層以上に積層された最上層の半導体素子で発生した熱は、より放熱しにくくなるので、上述のような半導体素子温度の上昇による動作効率の向上効果が顕著に得られるからである。

【0029】

また、ワイドバンドギャップ半導体を用いた半導体素子が、主電流が基板の上面と下面との間に流れる縦型素子（例えば、縦型MISFET, 縦型ダイオード（ショットキーダイオード, p-nダイオード, p-i-nダイオード）, 縦型IGBTなど）であることが好ましい。縦型素子は、基板の上面と下面との間で電流が流れるので、特に積層構造に適しているからである。

【0030】

さらに、半導体パワーモジュールにおいて、ワイドバンドギャップ半導体が炭化珪素（SiC）であることが好ましい。上述のように、高温でもパワー素子としての動作が可能な半導体素子を提供する半導体材料として、炭化珪素（SiC）、GaN, AlNなどのII-IV族の窒化物半導体、ダイヤモンドなどが適しているが、特に、SiC（その中でも4H-SiC基板）が、低損失性・安定性・信頼性等の面で優れていることを確認した。これは、低欠陥密度のウェハが供給されていることに起因し、結晶中の欠陥に起因する、絶縁破壊などの問題が起りにくいくことと対応している。

【0031】

(第1の実施例)

図2(a), (b)は、それぞれ順に、第1の実施例に係る半導体モジュールの断面図及び電気回路図である。

【0032】

図2(b)に示すように、本実施例の半導体モジュール（半導体パワーモジュール）は、入力直流信号（input DC）を昇圧して出力直流信号（output DC）を出力する昇圧型DC-DCコンバータとして機能する。半導体パワーモジュールには、誘導素子IND1と、縦型MISFETであるパワートランジスタTR1と、ショットキーダイオードD1と、容量素子CA1とが配置されている。

【0033】

図2(a)に示すように、ショットキーダイオードD1は、ワイドバンドギャップ半導

体からなるSiC基板の大部分を占めるN型ドリフト層21（活性領域）と、N型ドリフト層21にショットキー接觸する、Niからなるショットキー電極22とを備えている。そして、N型ドリフト層21はCu等の金属からなる基材23に接合され、基材23は、出力電圧Voutを出力するための出力端子に接続されている。

【0034】

一方、パワートランジスタTR1は、ワイドバンドギャップ半導体からなるSiC基板の大部分を占めるN型ドリフト層31（活性領域）と、N型ドリフト層31内にP型不純物をドープして形成されたP型ベース層32と、P型ベース層32内に高濃度のN型不純物をドープして形成されたN⁺型ソース層33と、SiC基板の表面部におけるP型ベース層32、N型ドリフト層31、P型ベース層32を挟むN⁺型ソース層33に跨って形成されたシリコン酸化膜からなるゲート絶縁膜35と、ゲート絶縁膜35の上に設けられたAl等の金属やポリシリコンからなるゲート電極36と、SiC基板の表面部におけるP型ベース層32を挟むN⁺型ソース層33に跨って形成されたソース電極37と、SiC基板の上方に設けられたシリコン酸化膜からなる層間絶縁膜38と、層間絶縁膜38を貫通してゲート電極36に接続される、Al等の金属からなるゲート配線・プラグ40と貫通してゲート電極36に接続される、Al等の金属からなるソース配線・プラグ41とを備えている。ソース配線・プラグ41のうち層間絶縁膜38の上面に位置する部分は平板状に設けられており、この部分がCu等の金属からなる基材43に接合され、基材43は接地に接続されている。また、N型ドリフト層31の下面にはNi、Niシリサイド合金等の金属からなる裏面電極39が設けられており、裏面電極39はショットキーダイオードD1のショットキー電極22に接合されている。

【0035】

さらに、引き出し電極42は配線52に接続され、配線52はゲート電圧コントロールドライバにつながっている。裏面電極39は配線51に接続され、配線51は、チップインダクタである誘導素子IND1を介して、入力電圧Vinを受けるための入力端子に接続されている。また、基材23と基材43との間には、チップコンデンサである容量素子CA1が介在している。

【0036】

次に、本実施例に係る半導体パワーモジュールの製造工程について説明する。

【0037】

まず、基材23の上面に、比較的小さい半導体パワー素子であるショットキーダイオードD1のN型ドリフト層21を例えれば半田などによりボンディングする。このときの条件は、AuSn半田またはSnAgCu半田を用いて300°Cボンディングした。

【0038】

次に、ショットキーダイオードD1のショットキー電極22の上面に、比較的大きな半導体素子であるパワートランジスタTR1をボンディングした。ショットキーダイオードD1とパワートランジスタTR1とのボンディングは、半田によって行ってもよいが、本実施例においては、ショットキーダイオードD1のショットキー電極22と、パワートランジスタTR1の裏面電極39とを互いに押しつけて、金属の相互拡散を利用して接合している。その際、加重0.1~1kg/cm²、60から120kHzの超音波を印加している。

【0039】

さらに、パワートランジスタTR1のソース配線・プラグ41の上面に基材43を半田により搭載して、両者を接合する。この場合、ソース配線・プラグ41の上面に金属バッキンガムを着けて基材43と超音波接合しても良い。パワートランジスタTR1の裏面電極39、引き出し電極42に、配線51、52をそれぞれ接続し、配線51にチップインダクタである誘導素子IND1を、基材23、43間にチップコンデンサである容量素子CA1をそれぞれ接続した後、樹脂封止により、ショットキーダイオードD1、パワー素子CA1をそれぞれ接続した後、樹脂封止により、ショットキーダイオードD1、パワー素子CA1、誘導素子IND1、容量素子CA1及び配線51を接続する。

52を1つのパッケージ体として組み立てる。樹脂封止の方法は、図示しないが、公知の各種樹脂封止技術を用いることができる。ここで、チップインダクタである誘導素子I ND1とチップコンデンサである容量素子CA1は、パッケージ内に一体化せずに外付けしても良い。

【0040】

従来の半導体パワーモジュールの場合には、半導体素子103, 104を基材11の上面に、それぞれ接合させるが、本実施例の半導体パワーモジュールにおいては、半導体素子であるショットキーダイオードD1の上にパワートランジスタTR1を積層させて、半導体パワーモジュールの占有面積が低減する。

【0041】

また、本実施例の半導体パワーモジュールと同じ構造のパワーモジュールをSiを用いたpnダイオード、パワートランジスタによって構成して、本実施例との比較を行なった。パワートランジスタTR1を3mm角のチップとすると、Siチップを用いた従来の半導体パワーモジュールにおいては、5Aの電流が定格でジャンクション温度が150°C以上となってしまったが、本実施例の半導体パワーモジュールにおいては10A以上の電流を流すことができ、パワートランジスタTR1のN⁺型ソース領域33に50A/cm²以上の電流密度で電流が流れても、半導体パワーモジュールが安定して動作することが確認された。その際、本実施例のパワートランジスタTR1やショットキーダイオードD1のジャンクション温度は150°C以下に保持されていた。

【0042】

さらに、本実施例の半導体パワーモジュールに、20Aの電流を流しても安定に動作することが確認された。この場合は、10Aの電流を流した場合に比べて、ショットキーダイオードD1やパワートランジスタTR1のジャンクション温度は、150°C以上に上昇しているが、(除去)パワートランジスタTR1の電気抵抗値は低下しているので、電流が増えることにより損失率が低下していることも確認された。

【0043】

(第2の実施例)

図3(a), (b)は、それぞれ順に、第2の実施例に係る半導体モジュールの断面図及び電気回路図である。

【0044】

図3(b)に示すように、本実施例の半導体モジュール(半導体パワーモジュール)は、入力直流信号(input DC)を降圧して出力直流信号(output DC)を出力する降圧型D、C-DCコンバータとして機能する。半導体パワーモジュールには、誘導素子IND1と、縦型MISFETであるパワートランジスタTR1と、ショットキーダイオードD1と、容量素子CA1とが配置されている。

【0045】

図3(a)に示すように、ショットキーダイオードD1は、第1の実施例におけるショットキーダイオードD1と同じ構造を有している。そして、ショットキーダイオードD1のN型ドリフト層21に接合されている。また、裏面部分がショットキーダイオードD1のN型ドリフト層21に接合されている。また、裏面部分がショットキーダイオードD1のN型ドリフト層21に接合されている。また、裏面部分がショットキーダイオードD1のN型ドリフト層21に接合されている。

【0046】

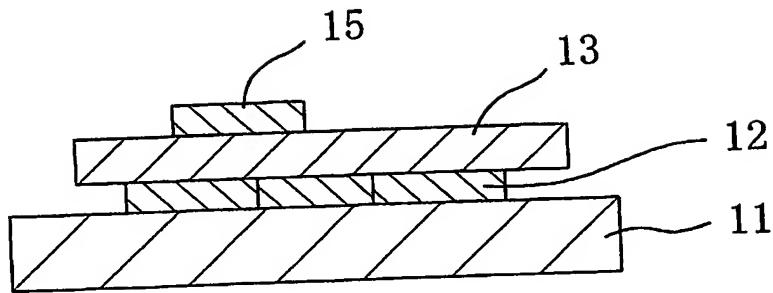
パワートランジスタTR1も、第1の実施例のパワートランジスタTR1と同じ構造を有している。そして、ソース配線・プラグ41のうち層間絶縁膜38の上面に位置するドライバにつながっている。また、ソース配線・プラグ41のうち層間絶縁膜38の上面に位置する部分は、配線54に接続され、配線54は、チップインダクタである誘導素子CA1を介して出力端子に接続されている。

【0047】

さらに、引き出し電極42は配線52に接続され、配線52はゲート電圧コントロールドライバにつながっている。また、ソース配線・プラグ41のうち層間絶縁膜38の上面に位置する部分は、配線54に接続され、配線54は、チップインダクタである誘導素子CA1を介して出力端子に接続されている。

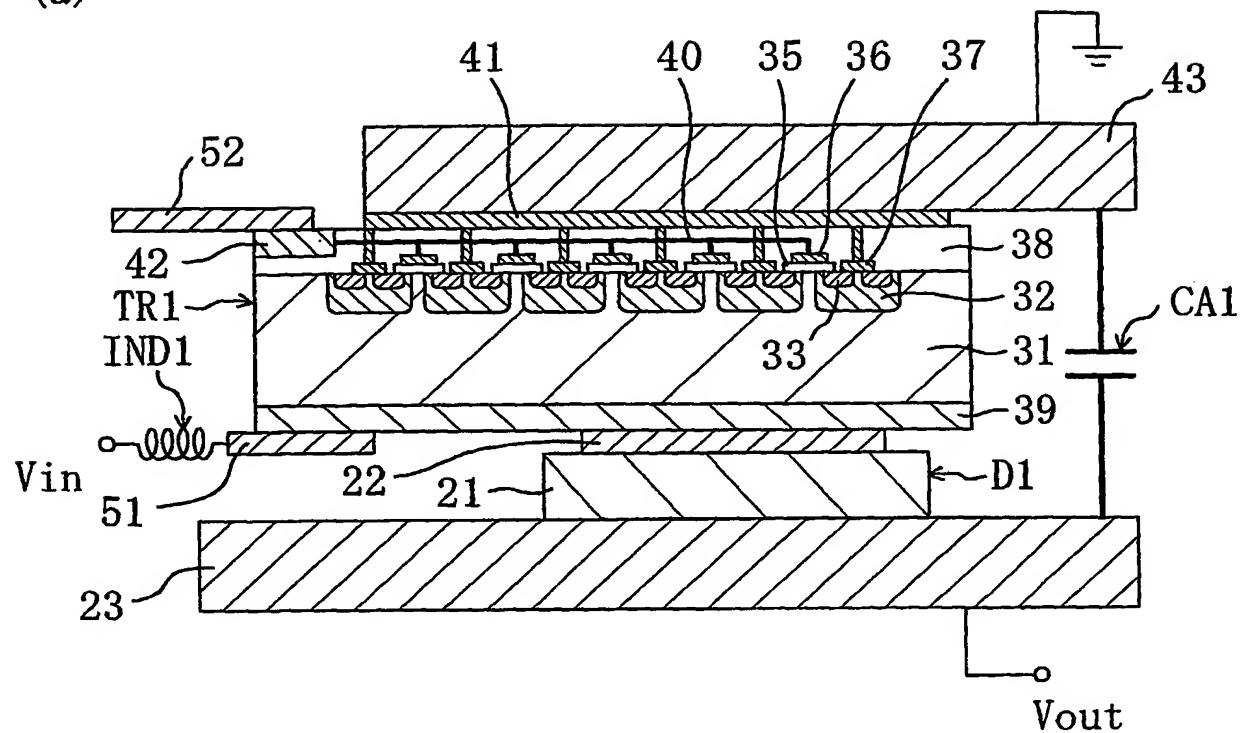
1 3 半導体素子
1 5 半導体素子
2 1 N型ドリフト層
2 2 ショットキー電極
2 3 基材
3 1 N型ドリフト層
3 2 P型ベース層
3 3 N⁺型ソース領域
3 5 ゲート絶縁膜
3 6 ゲート電極
3 7 ソース電極
3 8 層間絶縁膜
3 9 裏面電極
4 0 ゲート配線・プラグ
4 1 ソース配線・プラグ
4 2 引き出し電極
4 3 基材
5 1 配線
5 2 配線
5 4 配線
5 5 配線
D 1 ショットキーダイオード
T R 1 パワートランジスタ
C A 1 容量素子
I N D 1 誘導素子

【書類名】図面
【図1】

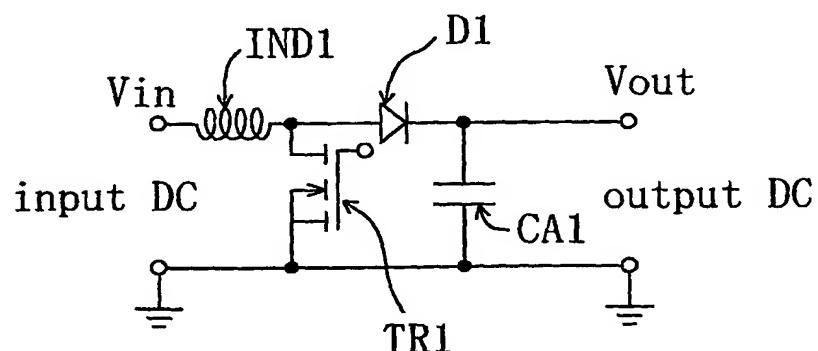


【図2】

(a)

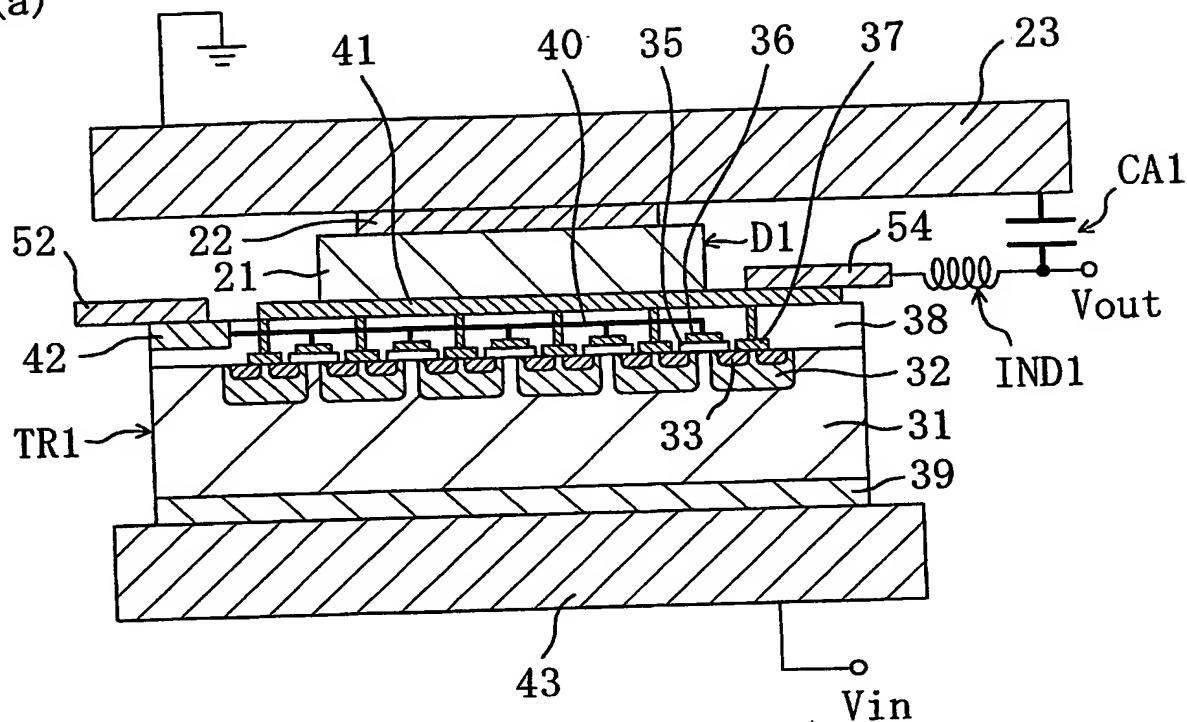


(b)

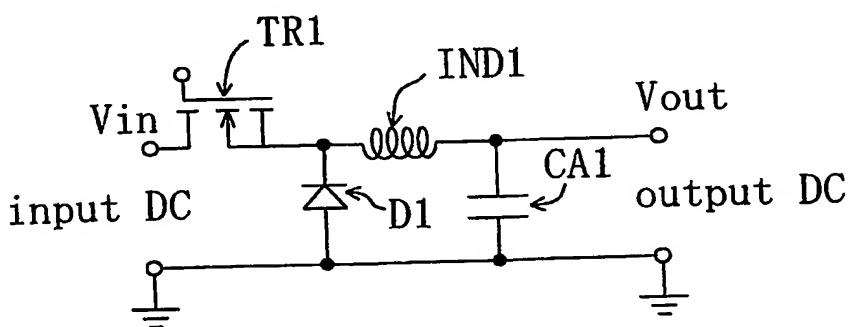


【図3】

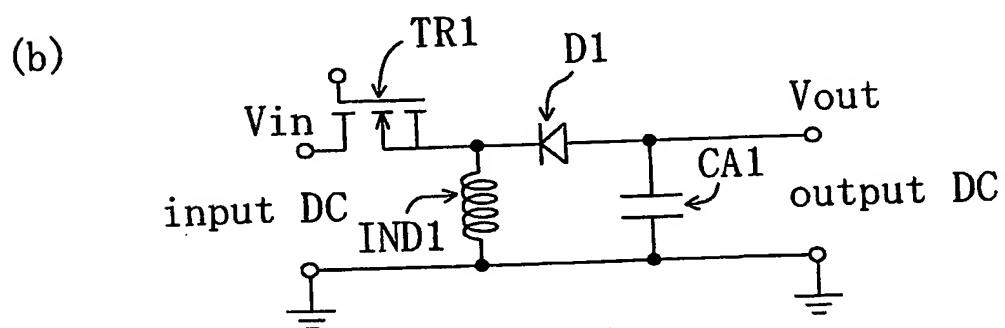
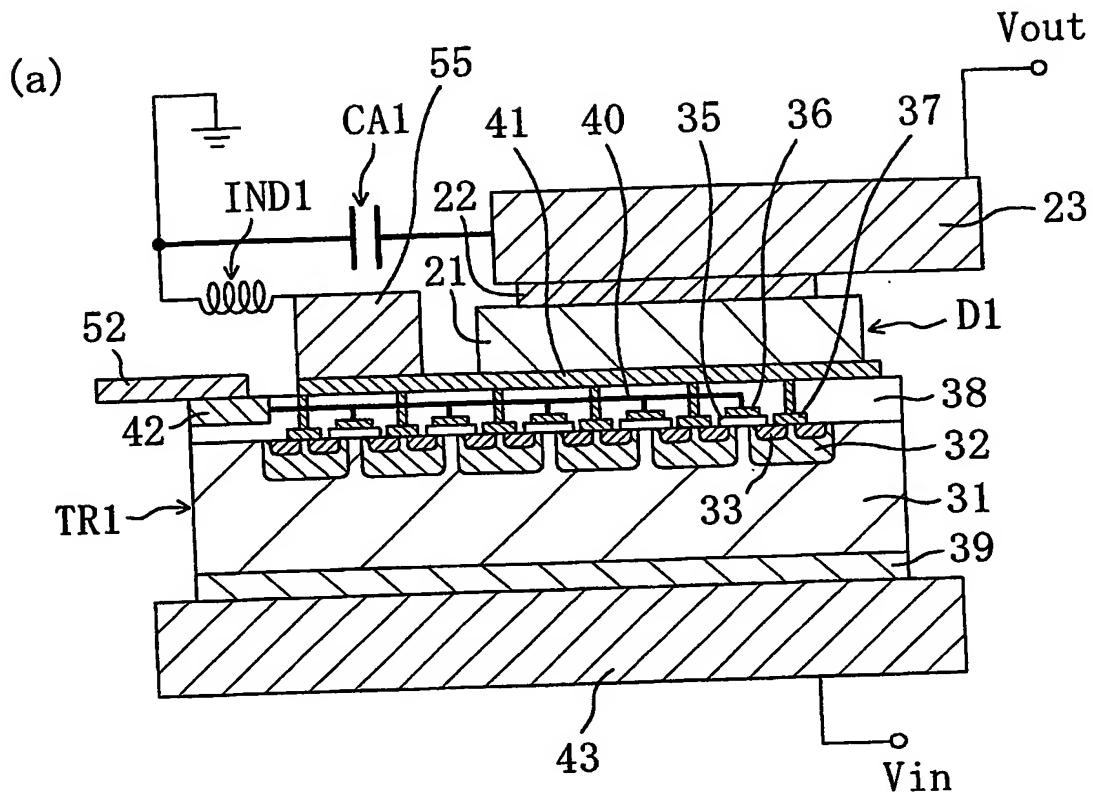
(a)



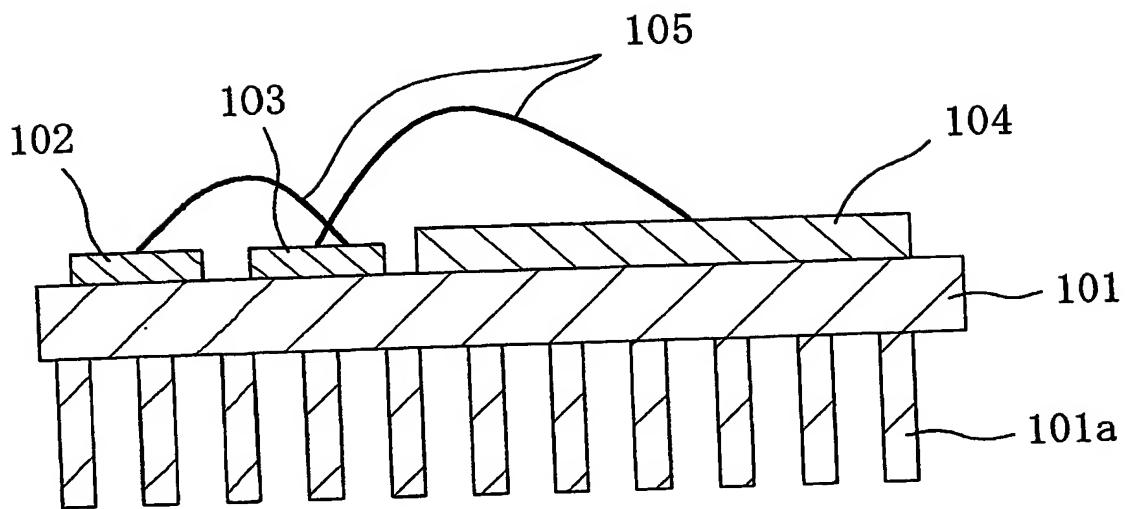
(b)



【図4】



【図5】



【書類名】要約書

【要約】

小型で低損失のパワーモジュールに適した半導体モジュールを提供する。

【課題】 小型で低損失のパワーモジュールは、ショットキーダイオードD1, パワートラン

【解決手段】 半導体パワーモジュールは、ショットキーダイオードD1, パワートランジスタTR1, 容量素子CA1及び誘導素子ind1を備えている。ショットキーダイオードD1は、SiC基板の大部分を占めるN型ドリフト層21と、N型ドリフト層21にショットキー接觸するショットキー電極22とを備えている。パワートランジスタTR1は、SiC基板の大部分を占めるN型ドリフト層31と、P型ベース層32と、N⁺型ソース層33と、ゲート絶縁膜35と、ゲート電極36と、ソース電極37と、ゲート配線・スラグ40と、ソース配線・スラグ41とを備えている。パワートランジスタTR1の裏面電極39はショットキーダイオードD1のショットキー電極22に接合されている。

【選択図】 図2

特願 2003-313111

出願人履歴情報

識別番号

[00005821]

1. 変更年月日

[変更理由]

住 所
氏 名

1990年 8月28日

新規登録

大阪府門真市大字門真1006番地
松下電器産業株式会社